

## JP2002016581

Publication Title:

TRANSMITTER/RECEIVER

Abstract:

Abstract of JP 2002016581

(A) PROBLEM TO BE SOLVED: To provide a transmitter/receiver that can readily conduct address management/bank switching and reduce a memory capacity by avoiding mixture of data with different coding time length from being stored in a buffer memory. SOLUTION: Transmission buffer sections 611-61N consist of a 1st storage section, having a storage area storing transmission data with time lengths  $n_i.T$  ( $i=1, 2, \dots, N$ ) for each  $N$  sets of services and of a 2nd storage section that has a storage area for storing transmission data, with a reference time length  $T$  for each service. The transmission buffer sections 611-61N store the transmission data of the time lengths  $n_i.T$  for each service and for each time length  $T$  at low speed, the transmission data with the time lengths  $n_i.T$ , having already been stored, are read at high speed in terms of a burst signal, then the storage of the transmission data with the time lengths  $n_i.T$  and the transmission data with the time lengths  $n_i.T$ , which have already been stored in terms of a burst signal are conducted in parallel and the read transmission data are given to encode processing sections 621-62N. A multiplexer section 63 multiplexes coded data subjected to encode processing of each service and transmits the multiplexed data.

-----

Courtesy of <http://v3.espacenet.com>

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号  
特開2002-16581  
(P2002-16581A)

(43)公開日 平成14年 1 月18日 (2002. 1. 18)

(51)Int.Cl. <sup>7</sup>	識別記号	F I	ターマコード*(参考)
H 0 4 J 13/00		H 0 4 J 3/00	A 5 K 0 2 2
3/00		13/00	A 5 K 0 2 8

審査請求 未請求 請求項の数 5 O L (全 17 頁)

(21)出願番号 特願2000-196648(P2000-196648)

(22)出願日 平成12年 6 月29日 (2000. 6. 29)

(71)出願人 000003223

富士通株式会社

神奈川県川崎市中原区上小田中 4 丁目 1 番  
1 号

(72)発明者 藤井 正論

神奈川県川崎市中原区上小田中 4 丁目 1 番  
1 号 富士通株式会社内

(74)代理人 100084711

弁理士 齊藤 千幹

F ターム(参考) 5K022 FF02

5K028 AA06 AA07 BB04 CC02 CC05

KK01 KK03 KK12 LL11 MM08

MM18 SS23 SS24

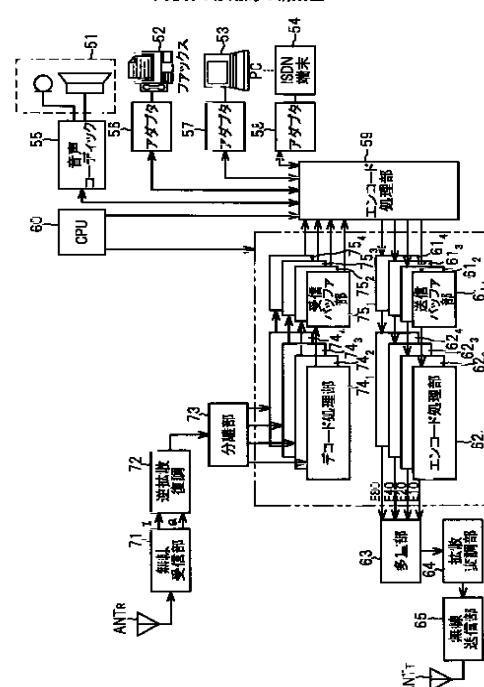
(54)【発明の名称】 送受信装置

(57)【要約】

【課題】 バッファメモリに符号化時間長の異なるデータが混在しないようにしてアドレス管理／バンク切替を簡単に行え、かつ、メモリ量を削減する。

【解決手段】 N 個のサービス毎に時間長  $n_i \cdot T$  ( $i=1, 2, \dots, N$ ) の送信データを保存する記憶領域を有する第 1 記憶部とサービス毎に基準時間長  $T$  の送信データを保存する記憶領域を有する第 2 記憶部とで送信バッファ部 6 1<sub>1</sub> ~ 6 1<sub>N</sub> を構成する。サービス毎に送信バッファ部 6 1<sub>1</sub> ~ 6 1<sub>N</sub> に時間長  $n_i \cdot T$  の送信データを時間長  $T$  ずつ低速で保存すると共に既に保存されている時間長  $n_i \cdot T$  の送信データをバースト的に高速に読出し、以後、時間長  $n_i \cdot T$  の送信データの保存と保存済みの時間長  $n_i \cdot T$  の送信データのバースト読み出しとを並行して行い、読出した送信データをエンコード処理部 6 2<sub>1</sub> ~ 6 2<sub>N</sub> に入力する。多重部 6 3 は各サービスのエンコード処理した符号化データを多重して送信する。

本発明の移動局の構成図



## 【特許請求の範囲】

【請求項1】 N個の各サービスに関連する送信データを基準時間長 $T$ の $n_i$  ( $i=1, 2, \dots, N$ ) 倍の長さ $n_i \cdot T$ ずつ保存すると共に保存した送信データを $n_i \cdot T$ ずつ読み出し、サービス毎に送信データの保存と読み出しを並行して行い、読み出した時間長 $n_i \cdot T$ の各送信データをエンコードして送出する送信装置において、サービス毎に、時間長 $n_i \cdot T$  ( $i=1, 2, \dots, N$ ) の送信データを保存する第1の記憶部と、サービス毎に、基準時間長 $T$ の送信データを保存する第2の記憶部とを有する送信バッファ部、時間長 $n_i \cdot T$  ( $i=1, 2, \dots, N$ ) のサービスの送信データをエンコードして出力するエンコード部、サービス毎に、前記送信バッファ部の第1記憶部及び第2記憶部に時間長 $n_i \cdot T$ の送信データを時間長 $T$ ずつ連続的に保存すると共に既に保存されている時間長 $n_i \cdot T$ の送信データを間欠的に読出し、以後、時間長 $n_i \cdot T$ の送信データの連続保存と保存済みの時間長 $n_i \cdot T$ の送信データの連続読み出しとを並行して行い、読出した送信データをエンコード処理部に入力する制御部、各サービスの時間長 $n_i \cdot T$ の送信データをエンコード処理したデータを多重する多重部、多重データを送信する送信部を備えたことを特徴とする送信装置。

【請求項2】 前記制御部はサービス毎に、

(1) 時間長 $n_i \cdot T$ の送信データを時間長 $T$ ずつ第1記憶部の第1～第 $n_i$ 記憶領域に書き込み、(2) 次の時間長 $n_i \cdot T$ の送信データのうち最初の時間長 $T$ の送信データを第2記憶部の記憶領域に書き込むと共に、残りの時間長 $(n_i-1) \cdot T$ の送信データを第1記憶部の第2～第 $n_i$ 記憶領域に書き込み、以後、前記(1)、(2)の書き込み処理を繰り返して送信データを第1、第2記憶部に書き込み、前記(2)の書き込み処理において第2記憶部の記憶領域に時間長 $T$ の送信データを書き込んでいる際、第1記憶部に書き込まれている時間長 $n_i \cdot T$ の送信データを読出してエンコード処理部に入力し、前記(1)の書き込み処理において第1記憶部の第1記憶領域に時間長 $T$ の送信データを書き込んでいる際、第2記憶部の記憶領域及び第1記憶部の第2～第 $n_i$ 記憶領域に書き込まれている時間長 $n_i \cdot T$ の送信データを読出してエンコード処理部に入力する、ことを特徴とする請求項1記載の送信装置。

【請求項3】 端末装置に提供するサービス毎に予め符号化する時間長 $n_i \cdot T$ を設定しておき、該端末装置から入力する送信データを時間長 $n_i \cdot T$ 毎に分割し、分割データを送信バッファを介してエンコード部に入力して符号化する請求項1記載の送信装置。

【請求項4】 多重されて送られてくるN個のサービスの符号化データを分離し、分離された符号化データをそれぞれ復号して基準時間長 $T$ の $n_i$  ( $i=1, 2, \dots, N$ ) 倍の長さ

ずつ保存すると共に保存した送信データを $n_i \cdot T$ ずつ読み出して端末装置に送出し、サービス毎に復号データの保存と読み出しを並行して行う受信装置において、受信データよりN個のサービスの符号化データを分離する分離部、各サービスの符号化データより時間長 $n_i \cdot T$  ( $i=1, 2, \dots, N$ ) の元のデータを復号化する復号処理部、サービス毎に、時間長 $n_i \cdot T$  ( $i=1, 2, \dots, N$ ) の復号データを保存する第1の記憶部と、サービス毎に、基準時間長 $T$ の復号データを保存する第2の記憶部とを有する受信バッファ部、サービス毎に、前記受信バッファ部の第1記憶部及び第2記憶部に時間長 $n_i \cdot T$ の復号データを間欠的に保存すると共に、該保存された時間長 $n_i \cdot T$ の復号データを時間長 $T$ ずつ連続的に読出し、以後、時間長 $n_i \cdot T$ の送信データの連続保存と保存済みの時間長 $n_i \cdot T$ の復号データの連続読み出しとを並行して行う制御部、を備えたことを特徴とする受信装置。

【請求項5】 前記制御部はサービス毎に、

(1) 時間長 $n_i \cdot T$ の復号データを第1記憶部の第1～第 $n_i$ 領域に書き込み、書き込み後、第1記憶部の第1～第 $(n_i-1)$ 領域より時間長 $T$ ずつ復号データを読出し、(2) 第1記憶部の第 $n_i$ 領域より時間長 $T$ の最後の復号データを読出しと並行して次の時間長 $n_i \cdot T$ の復号データを第1記憶部の第1～第 $(n_i-1)$ 領域と第2記憶部に書き込み、書き込み後、第1記憶部の第1～第 $(n_i-1)$ 領域より時間長 $T$ ずつ復号データを読出し、(3) 第2記憶部より時間長 $T$ の最後の復号データを読出しと並行して次の時間長 $n_i \cdot T$ の復号データを第1記憶部の第1～第 $n_i$ 領域に書き込み、書き込み後、第1記憶部の第1～第 $(n_i-1)$ 領域より時間長 $T$ ずつ復号データを低速で読出し、以後、前記(2)、(3)の書き込み、読出し処理を繰り返して送信データを第1、第2記憶部に書き込み、読出しを行う、ことを特徴とする請求項4記載の受信装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は送受信装置に係わり、特に、複数の端末装置からの送信データをそれぞれ所定時間長 $T$ ずつ分割し、各分割データに対して符号化処理を施し、得られた符号化データを多重して送信する送信装置、及び受信した多重符号化データを分離して復号化処理を施し、得られた復号データを所定の端末装置に送出する受信装置に関する。

【0002】

【従来の技術】 CDMA(Code Divisional Multi Access)移動通信システムにおいて、基地局は制御情報や各ユーザ情報を異なる拡散符号列を用いて拡散変調して多重伝送し、各移動局は基地局より指定された拡散符号列を用いて情報を拡散、逆拡散して送受信する。図17は従来の

移動局装置の構成図である。受信において、無線部1はアンテナATN<sub>R</sub>により受信した高周波信号をベースバンド信号に周波数変換(RF→IF変換)する。直交検波器2はベースバンド信号を直交検波し、同相成分(I成分)データと直交成分(Q成分)データを出力する。AD変換器3a, 3bはI成分信号、Q成分信号をそれぞれデジタル信号に変換し、サーチャ4と各フィンガー部5<sub>1</sub>~5<sub>4</sub>に入力する。サーチャ4はマルチパスの影響を受けた直接拡散信号(DS信号)が入力すると、マッチトフィルタ(図示せず)を用いて自己相関演算を行ってマルチパスを検出し、各パスにおける逆拡散開始のタイミングデータ及び遅延時間調整データをフィンガー部5<sub>1</sub>~5<sub>4</sub>に入力する。

【0003】各フィンガー部5<sub>1</sub>~5<sub>4</sub>の逆拡散/遅延時間調整部5aは、所定のパスを介して到来する直接波あるいは遅延波に拡散符号と同じ符号を用いて逆拡散処理を施してダンプ積分し、しかる後、パスに応じた遅延処理を施し、パイロット信号(参照信号)、情報信号を出力する。位相補償部(チャンネル推定部)5bはパイロット信号のI成分、Q成分をそれぞれ所定スロット数分電圧平均して、チャンネル推定信号I<sub>t</sub>, Q<sub>t</sub>を出力する。同期検波部5cは受信信号に含まれるパイロット信号と既知のパイロット信号間の位相差θに基づいて、逆拡散された情報信号I', Q'の位相を元に戻す。すなわち、チャンネル推定信号I<sub>t</sub>, Q<sub>t</sub>は位相差θのcos成分、sin成分であるから、同期検波部5cはチャンネル推定信号(I<sub>t</sub>, Q<sub>t</sub>)を用いて次式

【数1】

$$\begin{pmatrix} I \\ Q \end{pmatrix} = \begin{pmatrix} I_t & Q_t \\ -Q_t & I_t \end{pmatrix} \begin{pmatrix} I' \\ Q' \end{pmatrix}$$

により受信情報信号(I', Q')に位相回転処理を施して受信情報信号(I, Q)の復調(同期検波)を行う。RAKE合成部6は各フィンガー部5<sub>1</sub>~5<sub>4</sub>から出力する信号を合成してデコード処理部(チャンネル復号化部)7に出力する。

【0004】デコード処理部7は入力信号に誤り訂正処理を施して元の送信データを復号して受信バッファ部8に格納する。データセレクト部9は受信バッファ部に格納された復号データを所定の端末装置TE(Terminal Equipment)に入力する。端末装置TEとしては電話器10、ファクシミリ送受信器11、パソコン12、ISDN端末13等がある。電話機10は音声コーデック10a、スピーカ10b、マイク10cなどで構成され固定的にデータセレクト部9に接続されるが、ファクシミリ送受信器11、パソコン12、ISDN端末13はアダプタ14'を介して選択的にデータセレクト部9に接続されるようになっている。

【0005】送信において、データセレクト部9は発信

端末から入力する送信データを送信バッファ部14に格納し、エンコード処理部(チャンネル符号化部)15は送信データに符号化処理を施し、符号化データを同相成分(IN-Phase component)データとして出力する。制御信号発生部16はパイロットPILOT等の制御データを直交成分(Quadrature component)データとして一定シンボル速度で出力する。QPSK拡散器17は入力される同相成分(Ich成分)、直交成分(Qch成分)に所定の拡散コードを用いて拡散変調を施し、DA変換してQPSK直交変調器18に入力する。直交変調器18はIch信号、Qch信号にQPSK直交変調を施し、無線送信部19は直交変調器から出力するベースバンド信号を高周波数に周波数変換(IF→RF)すると共に、高周波増幅等を行ってアンテナANT<sub>T</sub>より送信する。

【0006】図18は移動局から基地局への上り信号のフレームフォーマット説明図である。1フレームは10msecで、15スロットS<sub>0</sub>~S<sub>14</sub>で構成されている。ユーザデータはQPSK変調の直交するIchにマッピングされ、制御データはQPSK変調の直交するQchにマッピングされる。ユーザデータ用Ichにおける各スロットのビット数nはシンボル速度に応じて変化し、制御データ用Qchにおける各スロットは10ビットで構成され、シンボル速度は15ksps一定である。

【0007】図19は基地局から移動局への下り信号のフレームフォーマット及びスロット構成説明図であり、1フレームは10msecで、15スロットS<sub>0</sub>~S<sub>14</sub>で構成され、各スロットにユーザデータData1, Data2、制御データTPC, TFCI, PILOTが混在している。各スロットのデータは1ビットづつ交互にQPSK直交変調のIchとQchに振り分けられ、しかる後、拡散変調、直交変調を施され、周波数変換されて移動局に送信される。

・従来のエンコード処理

上記従来の移動無線機において送信時に端末装置TE等から送出される連続データをチャンネルコーディングするには、連続データを所定の処理単位(10msインターバル等)に区切り、該処理単位でチャンネルコーディングする必要がある。たとえば、64Kbpsのデータを10ms単位で区切り、640bit毎にエンコード処理するものとすれば動作は図20に示すようになる。すなわち、端末装置TEはデータを連続して送出するが、移動無線機は入力するデータを処理単位(10ms単位)に区切り、区切られた10ms単位のデータにチャンネルコーディング処理を行う。

【0008】この場合、図21に示すように、端末装置TEからの送出データ速度とエンコード側の処理速度とのクロックが異なることが一般的である。移動無線機において送信バッファ部14に書き込まれるまでの速度は端末装置TE側の速度に依存するが、送信バッファ部14から読み出しを行ってエンコード処理する以降の速度は処理遅延を最小限にするために高速にする。音声为例にあげると、処理遅延が大きくなるとエコーの問題が発生す

るため、高速でエンコード処理を行い、無線にて送出するまでの処理遅延を最小限にする。図21では端末装置TEから64Kbpsのビットレートでデータが入力し、エンコード処理部5は送信バッファ14より20MHzの周波数でデータを読み取ってエンコード処理する場合を示している。

#### 【0009】・2バンク方式

連続データの場合(図20参照)、連続データ処理を実現する方法として、2バンク方式がある。この2バンク方式は、(1) 図22に示すようにバッファ14を2バンク構成とし、(2) 書き込み側バンク(BANK1)14<sub>1</sub>と読み出し側バンク(BANK2)14<sub>2</sub>に10msのタイムインターバル毎に交互にデータを書き込み(図23参照)、かつ、これらバンクより交互にデータを読み出し、(3) 一方のバンクへのデータ書き込みと他方のバンクからのデータ読み出しを同時に行う。この2バンク方式によれば、データの連続性を保ちながらエンコード処理を行うことができる。

#### 【0010】複数の端末装置TEが接続される場合のデコード処理

移動無線装置に複数の端末装置TEが接続されることがある(図17)。しかし、複数の端末装置TEが接続される場合であっても、従来は、個々の端末装置TEに対して個別に送信バッファを設ける必要は無く、バッファの共有化が行われている。これは、従来の移動機では複数の端末装置TEを同時に利用して通信することが無いからであり、このため送信バッファ、受信バッファとして送信速度が最大の端末装置TEに応じた容量のメモリを用意すれば良く、他の端末装置TEは該メモリを共有することができる。図24はバッファを共用する従来の構成例である。図24において、端末装置TE1~TE4がそれぞれ640bps, 9600bps, 128bps, 256bpsの速度でサービスを実行するが、これら端末装置TE1~TE4は同時に利用されることが無い。このため、最大速度である端末装置TE2の9600bps分の送信バッファ14を設け、他の端末装置(他のサービス)が起動されるとき、この送信バッファを共有する。

【0011】ところで、次世代W-CDMAの標準化プロジェクト3GPP(3<sup>rd</sup> Generation Partnership Project)で提唱されている方式に従えば、10ms, 20ms, 40ms, 80msといった任意のタイムインターバルでエンコード処理して送受信できるようにする必要がある。また、複数のサービスを同時に接続できるようにする必要がある。このため、図24の構成を採用できず、端末装置毎にバッファを設けるとなると膨大なメモリ数が必要となる。以下に、3GPP提唱方式を実現する上での問題点について、送信側を中心として記述する。誤り訂正に用いられるビタビ符号やターボ符号などは、符号化ビット数が多い程誤り訂正能力を向上させることができる。このため、3GPPなどで提唱されているチャネルコーディング方式におい

て、誤り訂正の向上が求められるデータは20ms, 40ms, 80msといった時間長単位でエンコード処理を行う必要がある。図25は端末装置TEから送出されるユーザデータを40ms分まとめてエンコード処理部15に入力する例である。

【0012】また、3GPPなどで提唱されているチャネルコーディング方式では、複数の端末装置(複数のサービス)TE1, TE2, TE3, TE4を同時に接続することが可能であり、サービスの面からも多重化バッファを考慮する必要がある。図26に示すようにサービスTE1, TE2, TE3, TE4毎にそれぞれのバッファ14<sub>11</sub>, 14<sub>12</sub>, 14<sub>13</sub>, 14<sub>14</sub>, ...を設ければ、膨大なメモリ数が必要となる。また、端末装置TEが追加される毎に送信バッファの数を増やす必要があるために柔軟性が無いメモリ構成となる。このため、送信バッファ14は論理的に1つのメモリで構成し、各端末装置TEがそのメモリ空間をサービスの必要数ずつ使用することでメモリ容量を縮小することが考えられる。これを実現するために、(1) メモリの空き領域の管理を行い、(2) 必要に応じてサービスに空き領域を割当て、(3) サービス毎にデータの読み/書き制御を行う必要がある。

【0013】図27はかかる読み/書き制御を実現する例であり、プロセッサ21が送信バッファ14の空き空間を管理し、書き込み用のハードマクロ22に各端末装置TE1, TE2, TE3からのデータの書き込みアドレスを指示し、エンコードハードマクロ(読み出し用ハードマクロ)23に読み出しアドレスの指示を行う。この指示に従ってハードマクロ22は送信バッファ14の指定領域に各サービスデータの書き込みを行い、エンコードハードマクロ23は送信バッファ14の指定領域よりデータを読み出してエンコード処理部15に入力する。図27の構成では、送信バッファ部14への書き込み操作及び送信バッファ14からの読み出し操作はプロセッサ21の負荷を低減するために、ハードマクロ22, 23が書き込み、読み出し操作を行う。このときのハードマクロ22, 23による書き込み空間及び読み出し空間は連続している必要がある。これは読み出しを例にして説明すると、ハードマクロ23にはインテリジェント機能が無く、(1) 読み出し先頭アドレスと読み出しデータ数あるいは、(2) 読み出し先頭アドレスと読み出し最終アドレスを指定され、連続的にデータを読み出す機能しかないためである。同様に、書き込み側でもデータを連続した空間に書き込めるようにする必要がある。

【0014】しかし、各サービスはユーザの意図により追加/削除されることがある。例えば、図28(A)に示すようにサービス1, 2, 3のデータがバッファ14の各サービス用領域14<sub>11</sub>, 14<sub>12</sub>, 14<sub>13</sub>に蓄えられてタイムインターバル毎に処理されているが、ある時点でサービス2が削除されると、例えば端末装置をアダプタから取り外すと、図28(B)に示すようにバッファ14が虫

喰い状態になる。かかる虫喰い状態において図28 (C) に示すように、新サービス4を追加する場合を考える。バッファ14には容量的に新サービス4のデータを蓄えられる空き空間が存在するが、物理的に連続してバッファリングする空間が無い。かかる場合、サービス4を2つの空間に分割して書き込みを行う必要があるが、前述した通りハードマクロ22にとって不連続領域への書き込みは不可能であり、また、たとえ書き込めたとしても、エンコードハードマクロ23は連続した空間でなければ対応できず、書き込みは何ら無意味となる。すなわち、図27の構成では新サービスの追加に対応できない場合が発生する問題がある。

【0015】また、図27に示す構成のように各サービスに必要最小限のメモリ領域を割り当てるようにプロセッサでアドレス管理を行う場合、バンク切替操作が複雑になる問題がある。例えば、端末装置TE1が40msのサービス、端末装置TE2が10msのサービス、端末装置TE3が20msのサービスを実行しているものとすれば、図29に示すように、それぞれのタイムインターバルでバンク切替を行えるようにハードマクロ22、23を設計する必要があり、サービスの追加/削除を考慮すると任意のタイミングでバンク切替を行えるようにハードマクロ22、23を構成する必要があり、単純な構成とすることができない。さらに、図28に示したように、サービスの追加/削除が生じた場合、それぞれのバンク切替に支障無く、かつ、メモリに虫喰い状態が生じないようにアドレス管理をする必要があり、アドレス管理が複雑になる問題がある。以上より、1つのメモリ上に10ms、20ms、40ms、80ms等のサービスのデータが混在する場合には、バンク切替、アドレス管理が複雑になると共に、ハードマクロの構成が複雑になりハードマクロ本来の利点がなくなる。

【0016】以上の問題点を踏まえて、10ms、20ms、40ms、80msのいずれかの符号化時間長のサービス（端末装置）が複数接続される場合において、アドレス管理、バンク切替を簡単に行える構成を示す。図30はかかる第1の構成例であり、最大の符号化時間長（＝80ms）分のメモリを各サービスS1～S8に持たせた場合の例（1バンク分）である。それぞれの端末装置TE1～TE8からの最大ビットレートを64Kbpsとすれば、各サービスS1～S8にそれぞれ640×8ビットのメモリを持たせている。かかる構成によれば、サービスS1～S8が任意の符号化時間長で符号化する場合であっても何ら問題は生じない。また、サービスの追加/削除といった面からも問題なく対応可能となる。図31は別の構成例であり、サービスS1～S4のそれぞれに対して符号化時間長80ms、40ms、20ms、10ms分のデータを記憶するメモリを2バンク分設けた例である。1バンクにつき、サービスS<sub>1</sub>には640×8ビット、サービスS<sub>2</sub>には640×4ビット、サービスS<sub>3</sub>には640×2ビット、サービスS<sub>4</sub>には640×1ビットのメモリを持たせてい

る。このメモリ構成によれば、符号化時間長毎にメモリを構成している為、1つのメモリに符号化時間長の異なるデータが混在することがなく、アドレス管理、バンク切替を簡単に行える。

【0017】

【発明が解決しようとする課題】図30の第1のメモリ構成は2バンク分必要なことから、メモリ量が総計、(80ms分のデータ量×サービス数×バンク数)分必要になり、メモリ量が膨大となり、小型化や低コスト化が要求される移動無線機に適さない問題がある。図31の第2のメモリ構成では、第1のメモリ構成に比べてメモリ量を削減できるが、2バンク分必要なためメモリ削減効果が充分でない問題がある。また、第2のメモリ構成では、符号化時間長が80msのサービスを2つ以上接続できず、符号化時間長が40msのサービスを3つ以上接続できない問題がある。以上では送信バッファ部の構成に着目して説明したが、受信バッファ部についても同様である。以上から本発明の目的は、バッファメモリに符号化時間長の異なるデータが混在しないようにでき、しかも、アドレス管理、バンク切替を簡単に行え、更には、メモリ量を削減できるようにすることである。本発明の別の目的は、少ないメモリ量で任意の符号化時間長のサービスを接続できるようにすることである。

【0018】

【課題を解決するための手段】第1の発明は、N個の各サービスに関連する送信データを基準時間長Tの $n_i$ 倍 ( $i=1,2,\dots,N$ )の長さずつ保存すると共に保存した送信データを $n_i \cdot T$ ずつ読み出し、サービス毎に送信データの保存と読み出しを並行して行い、読み出した時間長 $n_i \cdot T$ の各送信データをエンコードして送出する送信装置に関するものである。この送信装置は、(1) サービス毎に、時間長 $n_i \cdot T$  ( $i=1,2,\dots,N$ )の送信データを保存する第1バンクとしての第1の記憶部と、サービス毎に、基準時間長Tの送信データを保存する第2バンクとしての第2の記憶部を備えた送信バッファ部、(2) 時間長 $n_i \cdot T$  ( $i=1,2,\dots,N$ )のサービスの送信データをエンコードして出力するエンコード部、(3) サービス毎に、送信バッファ部の第1記憶部及び第2記憶部に時間長 $n_i \cdot T$ の送信データを時間長Tずつ連続的に保存すると共に既に保存されている時間長 $n_i \cdot T$ の送信データを間欠的に読み出し、以後、時間長 $n_i \cdot T$ の送信データの連続保存と保存済みの時間長 $n_i \cdot T$ の送信データの間欠読み出しとを並行して行い、読み出した送信データをエンコード処理部に入力する制御部、(4) 各サービスの時間長 $n_i \cdot T$ の送信データをエンコード処理したデータを多重する多重部、(5) 多重データを送信する送信部、を備えている。

【0019】また、第2の発明は、多重されて送られてくるN個のサービスの符号化データを分離し、分離された符号化データをそれぞれ復号して基準時間長Tのn

$i$  ( $i=1,2,\dots,N$ ) 倍の長さずつ保存すると共に保存した送信データを  $n_i \cdot T$  ずつ読み出して端末装置に送出し、サービス毎に復号データの保存と読み出しを並行して行う受信装置に関するものである。この受信装置は、(1) 受信データより  $N$  個のサービスの符号化データを分離する分離部、(2) 各サービスの符号化データより時間長  $n_i \cdot T$  ( $i=1,2,\dots,N$ ) の元のデータを復号化する復号処理部、(3) サービス毎に、時間長  $n_i \cdot T$  ( $i=1,2,\dots,N$ ) の復号データを保存する第1バンクとしての第1の記憶部と、サービス毎に、基準時間長  $T$  の復号データを保存する第2バンクとしての第2の記憶部とを有する受信バッファ部、(4) サービス毎に、受信バッファ部の第1記憶部及び第2記憶部に時間長  $n_i \cdot T$  の復号データを間欠的に保存すると共に、該保存された時間長  $n_i \cdot T$  の復号データを時間長  $T$  ずつ連続的に読出し、以後、時間長  $n_i \cdot T$  の送信データの間欠保存と保存済みの時間長  $n_i \cdot T$  の復号データの連続読み出しとを並行して行う制御部、を備えている。

【0020】本発明の送信装置及び受信装置によれば、第2バンクとし各サービスにつき基準時間長  $T$  のデータを記憶する小容量の記憶領域を設けるだけで良いため、全体のメモリ量を削減できる。また、バッファメモリに符号化時間長の異なるデータが混在しないようにできるため、アドレス管理、バンク切替を簡単に行える。また、第1バンクとしての第1記憶部にサービス毎に最大符号化時間長分の送信データを保存するようにすれば、比較的少ないメモリ量で任意の符号化時間長のサービスを接続できる。

#### 【0021】

##### 【発明の実施の形態】(A) 本発明の概略

###### (a) 送信バッファ

図1は本発明の送信装置における送信バッファのメモリ構成図であり、符号化時間長80ms, 40ms, 20ms, 10ms分の4つのサービスS1~S4(端末装置TE1~TE4)が接続される場合を示している。(1) 符号化時間長80msのサービスS1には、第1バンクにおいて10ms毎にA11~A81の8つの記憶領域が割り当てられ、第2バンクにおいて10msの1つの記憶領域B11が割り当てられている。(2) 符号化時間長40msのサービスS2には、第1バンクにおいて10ms毎にA12~A42の4つの記憶領域が割り当てられ、第2バンクにおいて10msの1つの記憶領域B12が割り当てられている。(3) 符号化時間長20msのサービスS3には、第1バンクにおいて10ms毎にA13~A23の2つの記憶領域が割り当てられ、第2バンクにおいて10msの1つの記憶領域B13が割り当てられている。(4) 符号化時間長10msのサービスS4には、第1バンクにおいて10ms毎にA14の1つの記憶領域が割り当てられ、第2バンクにおいて10msの1つの記憶領域B14が割り当てられている。提案済みのメモリ構成(図31)では、第2バンクのメモリを符号化時間長分設けているが、本発明では10ms分のみ設ける

ことにより、メモリ量を削減している。すなわち、図1の点線部分の削減が可能となり、全体では図31のメモリ構成に比べてしよメモリ量は11/30になる。

【0022】図2は符号化時間長40msのサービスについて、送信データをバッファメモリ(第1バンク、第2バンク)へ書き込むと共にバッファメモリから読み出す操作を時系列で表したタイムチャートである。図1の少ないメモリ構成で40ms分の送信データを第1、第2バンクに交互に書き込み/読み出す制御を実現するために、書き込み側で40msかけて10msずつ順に書き込んだ送信データを読み出し側で10msの間に一機にバースト的に読み出す。

【0023】すなわち、(1) 時間長40ms( $=4 \times 10$ ms)の送信データ①~④を10ms毎に第1バンクの第1~第4記憶領域A12~A42に順次書き込み、(2) 次の時間長40ms( $=4 \times 10$ ms)の送信データ①'~④'のうち最初の時間長10msの送信データ①'を第2バンクの記憶領域B12に書き込むと共に、残りの時間長30msの送信データ②'~④'を10ms毎に順次第1バンクの第2~第4記憶領域A22~A42に書き込む。(3) 以後、前記(1),(2)の書き込み処理を繰り返して送信データを第1、第2バンクに書き込む。以上の書き込み処理と並行して送信データの読出しを行う。すなわち、(4) 上記(2)の書き込み処理において第2バンクの記憶領域B12に時間長10msの送信データ①'を書き込んでいる際、第1バンクの第1~第4記憶領域A12~A42に書き込まれている時間長40msの送信データ①~④を高速に読出してエンコード処理部に入力し、(5) 前記(1)の書き込み処理において第1バンクの第1記憶領域A12に時間長10msの送信データ①を書き込んでいる際、第2バンクの記憶領域B12及び第1バンクの第2~第4記憶領域A22~A42に書き込まれている時間長40msの送信データ①'~④'を高速に読出してエンコード処理部に入力する。(6) 以後、前記(4),(5)の読出し処理を繰り返して送信データを第1、第2バンクから読出してエンコード処理部に入力する。

【0024】図3は送信バッファの別のメモリ構成図である。図1の第1バンクは、サービスS1~S4に対してそれぞれ符号化時間長80ms, 40ms, 20ms, 10ms分のデータを記憶するメモリ容量とした。このため、図1のメモリ構成では符号化時間長が80msのサービスを2つ以上接続できず、符号化時間長が40msのサービスを3つ以上接続できない。図2のメモリ構成では、サービスS1~S4に対してそれぞれ符号化時間長80msのデータを記憶するメモリ容量としている。このため、サービスS1~S4の符号化時間長は任意である。例えば、サービスS3の符号化時間長を40msとすれば、第1バンクの記憶領域A13~A43と第2バンクの記憶領域B13を用いて送信データのバッファリングを行う。

###### 【0025】(b) 受信バッファ

図4は本発明の受信装置における受信バッファのメモリ

構成図であり、符号化時間長80ms, 40ms, 20ms, 10ms分の4つのサービスS1～S4(端末装置TE1～TE4)が接続される場合を示している。(1) 符号化時間長80msのサービスS1には、第1バンクにおいて10ms毎にA11～A81の8つの記憶領域が割り当てられ、第2バンクにおいて10msの1つの記憶領域B81が割り当てられている。(2) 符号化時間長40msのサービスS2には、第1バンクにおいて10ms毎にA12～A42の4つの記憶領域が割り当てられ、第2バンクにおいて10msの1つの記憶領域B42が割り当てられている。(3) 符号化時間長20msのサービスS3には、第1バンクにおいて10ms毎にA13～A23の2つの記憶領域が割り当てられ、第2バンクにおいて10msの1つの記憶領域B23が割り当てられている。(4) 符号化時間長10msのサービスS4には、第1バンクにおいて10ms毎にA14の1つの記憶領域が割り当てられ、第2バンクにおいて10msの1つの記憶領域B14が割り当てられている。

【0026】図5は符号化時間長40msのサービスについて、復号化して得られた復号データをバッファメモリ(第1バンク、第2バンク)へ書き込むと共にバッファメモリから読み出して端末装置に送出する操作を時系列で表したタイムチャートである。図4の少ないメモリ構成で40ms分の復号データを第1、第2バンクに交互に書き込み/読み出す制御を実現するために、本発明では40ms分の復号データを10msの間に一機にバースト的に書き込み、読出し側で40msかけて10msづつ順に復号データを読み出す。

【0027】すなわち、(1) 時間長40ms(=4×10ms)の復号データ①～④を第1バンクの第1～第4記憶領域A12～A42にバースト的に高速に書き込み、書き込み後、第1バンクの第1～第3領域A12～A32より時間長10msづつ復号データ①～③を低速で読出し、(2) 第1バンクの第4記憶領域A42より時間長10msの最後の復号データ④の読出しと並行して次の時間長40msの復号データ①'～④'を第1バンクの第1～第3記憶領域A12～A32と第2バンクの記憶領域B42にバースト的に高速で書き込み、書き込み後、第1バンクの第1～第3記憶領域A12～A32より時間長10msづつ復号データ①'～③'を低速で読出し、(3) 第2バンクの記憶領域B42より時間長10msの最後の復号データ④'の読出しと並行して次の時間長40msの復号データ①～④を第1バンクの第1～第4記憶領域A12～A42にバースト的に高速に書き込み、書き込み後、第1バンクの第1～第3記憶領域A12～A32より時間長10msづつ復号データ①～③を低速で読出し、以後、前記(2)、(3)の書き込み、読出し処理を繰り返して送信データを第1、第2バンクに書き込むと共に読出しを行う。

#### 【0028】(B) 移動局

図6は本発明の移動局の構成図である。尚、図ではアンテナ等を送信系、受信系別個に設けているが共用させることができる。送信に際して、各端末装置51～54か

ら送出されるデータは音声コーデック55、アダプタ56～58を介してデータセレクト部59に入力する。端末装置51～54は例えば携帯電話機、ファクシミリ機、パソコン、ISDN端末であり、それぞれ符号化時間長が10ms、20ms、40ms、80msであるとしてプロセッサ60に登録されている。データセレクト部59はプロセッサ60からの指示に従って、各端末装置51～54から音声コーデック、アダプタなどを介して入力する送信データを選択的に符号化時間長10ms、20ms、40ms、80msの送信バッファ部61<sub>1</sub>～61<sub>4</sub>に入力する。例えば、符号化時間長10msのサービスを実行する端末装置51からの送信データは符号化時間長10msの送信バッファ61<sub>1</sub>に入力し、符号化時間長20msのサービスを実行する端末装置52からの送信データは符号化時間長20msの送信バッファ61<sub>2</sub>に入力し、符号化時間長40msのサービスを実行する端末装置53からの送信データは符号化時間長40msの送信バッファ61<sub>3</sub>に入力し、符号化時間長80msのサービスを実行する端末装置54からの送信データは符号化時間長80msの送信バッファ61<sub>4</sub>に入力する。

【0029】各送信バッファ部61<sub>1</sub>～61<sub>4</sub>は図2で説明した方法で送信データを10ms毎にバッファメモリに連続的に書き込むと共に、10ms、20ms、40ms、80ms毎に一機に送信データをバースト的に読出して次段のエンコード処理部62<sub>1</sub>～62<sub>4</sub>に入力する。エンコード処理部62<sub>1</sub>～62<sub>4</sub>はそれぞれ時間長10ms、20ms、40ms、80msの送信データをビタビ符号あるいはターボ符号に従って符号化して多重部63に入力する。すなわち、エンコード処理部62<sub>1</sub>は時間長10msの符号化データE10を出力し、エンコード処理部62<sub>2</sub>は時間長20msの符号化データE20を出力し、エンコード処理部62<sub>3</sub>は時間長40msの符号化データE40を出力し、エンコード処理部62<sub>4</sub>は時間長80msの符号化データE80を出力する。たとえば、図7に示すようにエンコード処理部62<sub>1</sub>は10ms毎に符号化データ10ms-1を出力し、エンコード処理部62<sub>2</sub>は10ms毎に符号化データE20の前半部20ms-1、後半部20ms-2を順番に出力し、エンコード処理部62<sub>3</sub>は10ms毎に符号化データE40の1/4部分40ms-1, 40ms-2, 40ms-3, 40ms-4を順番に出力し、エンコード処理部62<sub>4</sub>は10ms毎に符号化データE80の1/8部分80ms-1, 80ms-2, 80ms-3, 80ms-4, 80ms-5, 80ms-6, 80ms-7, 80ms-8を順番に出力する。

【0030】多重部63は各エンコード処理部62<sub>1</sub>～62<sub>4</sub>から10ms毎に入力する符号化データを多重して1フレーム分の多重データを作成して送出する。図7は多重方法の説明図であり、最初の10ms目では符号化データ{10ms-1, 20ms-1, 40ms-1, 80ms-1}を第1フレームとして多重して送出する。以後、20ms目～80ms目において第2～第8フレームとして

多重データ:{10ms-1, 20ms-2, 40ms-2, 80ms-2}・・・第2フレーム

多重データ:{10ms-1, 20ms-1, 40ms-3, 80ms-3}・・・第3フ



レーン

多重データ: {10ms-1, 20ms-2, 40ms-4, 80ms-4}・・・第4フレーム

多重データ: {10ms-1, 20ms-1, 40ms-1, 80ms-5}・・・第5フレーム

多重データ: {10ms-1, 20ms-2, 40ms-2, 80ms-6}・・・第6フレーム

多重データ: {10ms-1, 20ms-1, 40ms-3, 80ms-7}・・・第7フレーム

多重データ: {10ms-1, 20ms-2, 40ms-4, 80ms-8}・・・第8フレーム

を作成して送出する。すなわち、符号化時間長10msのサービスはフレーム毎にデータ送信され、符号化時間長20msのサービスは2フレームかけてデータ送信され、符号化時間長40msのサービスは4フレームかけてデータ送信され、符号化時間長80msのサービスは8フレームかけてデータ送信される。

【0031】拡散変調部64は多重されたフレームデータを所定の拡散符号で拡散変調し、DA変換後に直交変調して無線部送信部65に入力する。無線部送信部65は直交変調信号を高周波信号に周波数変換(IF→RF)すると共に、高周波増幅等を行ってアンテナANT<sub>T</sub>より送信する。

【0032】受信に際して、無線受信部71はアンテナATN<sub>R</sub>により受信した高周波信号をベースバンド信号に周波数変換(RF→IF変換)し、しかる後、ベースバンド信号を直交検波して同相成分(I成分)データと直交成分(Q成分)データを発生し、AD変換して逆拡散復調部72に入力する。逆拡散復調部72はI成分信号、Q成分信号に拡散符号と同じ符号を用いて逆拡散処理を施し、送信されてきた符号化データを復調(同期検波)し、分離部73に入力する。分離部73には図8に示すように多重された符号化データ

多重データ: {10ms-1, 20ms-1, 40ms-1, 80ms-1}・・・第1フレーム

多重データ: {10ms-1, 20ms-2, 40ms-2, 80ms-2}・・・第2フレーム

多重データ: {10ms-1, 20ms-1, 40ms-3, 80ms-3}・・・第3フレーム

多重データ: {10ms-1, 20ms-2, 40ms-4, 80ms-4}・・・第4フレーム

多重データ: {10ms-1, 20ms-1, 40ms-1, 80ms-5}・・・第5フレーム

多重データ: {10ms-1, 20ms-2, 40ms-2, 80ms-6}・・・第6フレーム

多重データ: {10ms-1, 20ms-1, 40ms-3, 80ms-7}・・・第7フレーム

多重データ: {10ms-1, 20ms-2, 40ms-4, 80ms-8}・・・第8フレーム

がフレーム毎に入力する。分離部73は各フレームの最

初の10ms符号化データ10ms-1を第1のデコード処理部74<sub>1</sub>に入力し、第2の20ms符号化データ20ms-1, 20ms-2を第2のデコード処理部74<sub>2</sub>に入力し、第3の40ms符号化データ40ms-1, 40ms-2, 40ms-3, 40ms-4を第3のデコード処理部74<sub>3</sub>に入力し、第4の80ms符号化データ80ms-1, 80ms-2, 80ms-3, 80ms-4, 80ms-5, 80ms-6, 80ms-7, 80ms-8を第4のデコード処理部74<sub>4</sub>に入力する。すなわち、符号化時間長10msのサービスのデータはフレーム毎に受信され、符号化時間長20msのサービスのデータは2フレームかけて受信され、符号化時間長40msのサービスのデータは4フレームかけて受信され、符号化時間長80msのサービスのデータは8フレームかけて受信される。

【0033】第1のデコード処理部74<sub>1</sub>は時間長10msの符号化データに誤り訂正処理を施して元の送信データを復号化するもので、符号化データ10ms-1を復号して10ms毎に次段の受信バッファ部75<sub>1</sub>に入力する。第2のデコード処理部74<sub>2</sub>は時間長20msの符号化データに誤り訂正処理を施して元の送信データを復号化するもので、符号化データ20ms-1～20ms-2を復号して20ms毎に次段の受信バッファ部75<sub>2</sub>に入力する。第3のデコード処理部74<sub>3</sub>は時間長40msの符号化データに誤り訂正処理を施して元の送信データを復号化するもので、符号化データ40ms-1～40ms-4を復号して40ms毎に次段の受信バッファ部75<sub>3</sub>に入力する。第4のデコード処理部74<sub>4</sub>は時間長80msの符号化データに誤り訂正処理を施して元の送信データを復号化するもので、符号化データ80ms-1～80ms-8を復号して80ms毎に次段の受信バッファ部75<sub>4</sub>入力する。

【0034】受信バッファ部75<sub>1</sub>～75<sub>4</sub>は図5で説明した方法で復号データを10ms、20ms、40ms、80ms毎に一機にバースト的にバッファメモリに書き込むと共に、10ms毎にバッファメモリから連続的に復号データを読み出してデータセレクト部59に入力する。データセレクト部59はプロセッサ60からの指示に従って、各受信バッファ部75<sub>1</sub>～75<sub>4</sub>から入力する復号データを選択的に端末装置51～54に入力する。例えば、符号化時間長10msの受信バッファ75<sub>1</sub>から入力する復号データは符号化時間長10msのサービスを実行する端末装置51に送出し、符号化時間長20msの受信バッファ75<sub>2</sub>から入力する復号データは符号化時間長20msのサービスを実行する端末装置52に送出し、符号化時間長40msの受信バッファ75<sub>3</sub>から入力する復号データは符号化時間長40msのサービスを実行する端末装置53に送出し、符号化時間長80msの受信バッファ75<sub>4</sub>からの入力する復号データは符号化時間長80msのサービスを実行する端末装置54に送出する。

【0035】(C)各送信バッファ部の書き込み/読み出し制御

図9～図12は送信バッファ部61<sub>1</sub>～61<sub>4</sub>のデータ書き込み/読み出し操作説明図であり、図6と同一部分には

同一符号を付している。

・10ms用送信バッファ(図9)

プロセッサ60はタイミング信号発生部70から入力する10msタイミング信号に基づいて符号化時間長10ms用の送信バッファ部61<sub>1</sub>にバンク切替信号BCG1を入力する。バンク切替信号BCG1により、送信バッファ部61<sub>1</sub>の書き込み制御部(ハードマクロ)81<sub>1</sub>はデータセレクト部59から入力する時間長10msの送信データa,b,c,d,...を送信バッファ81<sub>2</sub>の第1バンク、第2バンクの記憶領域A14,B14に交互に書き込むと共に、エンコードハードマクロ81<sub>3</sub>は書き込みと並行して第2バンク、第1バンクの記憶領域B14,A14より交互に前サイクルで書き込まれている10ms分の送信データを読み出してエンコード処理部62<sub>1</sub>に入力する。すなわち、記憶領域A14,B14に図中BFRで示すように送信データa,b,c,d,...を交互に書き込むと共に、記憶領域B14への送信データbの書き込みと記憶領域A14からの送信データaの読み出しを並行して行い、記憶領域A14への送信データcの書き込みと記憶領域B14からの送信データbの読み出しを並行して行い、..以下同様の書き込み/読み出し制御を行う。

【0036】・20ms用送信バッファ(図10)

プロセッサ60はタイミング信号発生部70から入力する20msタイミング信号に基づいて符号化時間長20ms用の送信バッファ部61<sub>2</sub>にバンク切替信号BCG2を入力する。バンク切替信号BCG2により、送信バッファ部61<sub>2</sub>の書き込み制御部(ハードマクロ)82<sub>1</sub>はデータセレクト部59から入力する時間長20msの送信データa(a1,a2),b(b1,b2),a(a1,c2),b(b1,b2),...を送信バッファ82<sub>2</sub>の第1バンク、第2バンクの記憶領域A13~A23,B13に書き込むと共に、エンコードハードマクロ82<sub>3</sub>は書き込みと並行して第2バンク、第1バンクの記憶領域B13,A13~A23より前サイクルで書き込まれている20ms分の送信データを読み出してエンコード処理部62<sub>2</sub>に入力する。

【0037】すなわち、図中BFRで示すように、(1)時間長20ms(=2×10ms)の送信データa1~a2を10ms毎に第1バンクの第1~第2記憶領域A13~A23に順次書き込み、(2)次の時間長20ms(=2×10ms)の送信データb1~b2のうち最初の時間長10msの送信データb1を第2バンクの記憶領域B13に書き込むと共に、残りの時間長10msの送信データb2を第1バンクの第2記憶領域A23に書き込む。(3)以後、前記(1),(2)の書き込み処理を繰り返して送信データを第1、第2バンクに書き込む。以上の書き込み処理と並行して送信データの読み出しを行う。すなわち、(4)上記(2)の書き込み処理において第2バンクの記憶領域B13に時間長10msの送信データb1を書き込んでいる際、第1バンクの第1~第2記憶領域A13~A23に書き込まれている時間長20msの送信データa1~a2をバースト的に高速に読み出してエンコード処理部62<sub>2</sub>に入力し、(5)前記(1)の書き込み処理において第1バンクの

第1記憶領域A13に時間長10msの送信データa1を書き込んでいる際、第2バンクの記憶領域B12及び第1バンクの第2記憶領域A23に書き込まれている時間長20msの送信データb1~b2をバースト的に高速に読み出してエンコード処理部62<sub>2</sub>に入力する。(6)以後、前記(4),(5)の読み出し処理を繰り返して送信データを第1、第2バンクから読み出してエンコード処理部62<sub>2</sub>に入力する。

【0038】・40ms用送信バッファ(図11)

プロセッサ60はタイミング信号発生部70から入力する40msタイミング信号に基づいて符号化時間長40ms用の送信バッファ部61<sub>3</sub>にバンク切替信号BCG3を入力する。バンク切替信号BCG3により、送信バッファ部61<sub>3</sub>の書き込み制御部(ハードマクロ)83<sub>1</sub>はデータセレクト部59から入力する時間長40msの送信データa(a1,a2,a2,a4),b(b1,b2,b2,b4),a(a1,a2,a3,a4),...を送信バッファ83<sub>2</sub>の第1バンク、第2バンクの記憶領域A12~A42,B12に書き込むと共に、エンコードハードマクロ83<sub>3</sub>は書き込みと並行して第2バンク、第1バンクの記憶領域B12,A12~A42より前サイクルで書き込まれている40ms分の送信データを読み出してエンコード処理部62<sub>3</sub>に入力する。

【0039】すなわち、図中BFRで示すように、(1)時間長40ms(=4×10ms)の送信データa1~a4を10ms毎に第1バンクの第1~第4記憶領域A12~A42に順次書き込み、(2)次の時間長40ms(=4×10ms)の送信データb1~b4のうち最初の時間長10msの送信データb1を第2バンクの記憶領域B12に書き込むと共に、残りの時間長30msの送信データb2~b4を第1バンクの第2~第4記憶領域A22~A42に書き込む。(3)以後、前記(1),(2)の書き込み処理を繰り返して送信データを第1、第2バンクに書き込む。以上の書き込み処理と並行して送信データの読み出しを行う。すなわち、(4)上記(2)の書き込み処理において第2バンクの記憶領域B12に時間長10msの送信データb1を書き込んでいる際、第1バンクの第1~第4記憶領域A12~A42に書き込まれている時間長40msの送信データa1~a4をバースト的に高速に読み出してエンコード処理部62<sub>3</sub>に入力し、(5)前記(1)の書き込み処理において第1バンクの第1記憶領域A12に時間長10msの送信データa1を書き込んでいる際、第2バンクの記憶領域B12及び第1バンクの第2~第4記憶領域A22~A42に書き込まれている時間長40msの送信データb1~b4をバースト的に高速に読み出してエンコード処理部62<sub>3</sub>に入力する。(6)以後、前記(4),(5)の読み出し処理を繰り返して送信データを第1、第2バンクから読み出してエンコード処理部62<sub>3</sub>に入力する。

【0040】・80ms用送信バッファ(図12)

プロセッサ60はタイミング信号発生部70から入力する80msタイミング信号に基づいて符号化時間長80ms用の送信バッファ部61<sub>4</sub>にバンク切替信号BCG<sub>4</sub>を入力する。バンク切替信号BCG<sub>4</sub>により、送信バッファ部61<sub>4</sub>

の書き込み制御部(ハードマクロ)84<sub>1</sub>はデータセレクト部59から入力する時間長80msの送信データa(a1,a2,a2,a4,a5,a6,a7,a8),b(b1,b2,b2,b4,b5b,b6b,b7,b8),a(a1,a2,a3,a4,a5,a6a,a7,a8),...を送信バッファ84<sub>2</sub>の第1バンク、第2バンクの記憶領域A11~A81,B11に書き込むと共に、エンコードハードマクロ84<sub>3</sub>は書き込みと並行して第2バンク、第1バンクの記憶領域B11,A11~A81より前サイクルで書き込まれている80ms分の送信データを読み出してエンコード処理部62<sub>4</sub>に入力する。

【0041】すなわち、図中BFRで示すように、(1)時間長80ms(=8×10ms)の送信データa1~a8を10ms毎に第1バンクの第1~第8記憶領域A11~A81に順次書き込み、(2)次の時間長80ms(=8×10ms)の送信データb1~b8のうち最初の時間長10msの送信データb1を第2バンクの記憶領域B11に書き込むと共に、残りの時間長70msの送信データb2~b8を第1バンクの第2~第8記憶領域A21~A81に書き込む。(3)以後、前記(1),(2)の書き込み処理を繰り返して送信データを第1、第2バンクに書き込む。以上の書き込み処理と並行して送信データの読出しを行う。すなわち、(4)上記(2)の書き込み処理において第2バンクの記憶領域B11に時間長10msの送信データb1を書き込んでいる際、第1バンクの第1~第8記憶領域A11~A81に書き込まれている時間長80msの送信データa1~a8をバースト的に高速に読出してエンコード処理部62<sub>4</sub>に入力し、(5)前記(1)の書き込み処理において第1バンクの第1記憶領域A11に時間長10msの送信データa1を書き込んでいる際、第2バンクの記憶領域B11及び第1バンクの第2~第8記憶領域A21~A81に書き込まれている時間長80msの送信データb1~b8をバースト的に高速に読出してエンコード処理部62<sub>4</sub>に入力する。(6)以後、前記(4),(5)の読出し処理を繰り返して送信データを第1、第2バンクから読出してエンコード処理部62<sub>4</sub>に入力する。

【0042】(D)各受信バッファ部の書き込み/読出し制御

図13~図16は受信バッファ部75<sub>1</sub>~75<sub>4</sub>のデータ書き込み/読出し操作説明図であり、図6と同一部分には同一符号を付している。

・10ms用受信バッファ(図13)

プロセッサ60はタイミング信号発生部70から入力する10msタイミング信号に基づいて符号化時間長10ms用の受信バッファ部75<sub>1</sub>にバンク切替信号BCG1を入力する。バンク切替信号BCG1により、受信バッファ部75<sub>1</sub>の書き込み制御部(ハードマクロ)91<sub>1</sub>はデコード処理部74<sub>1</sub>から入力する時間長10msの復号データa,b,c,d,...を受信バッファ91<sub>2</sub>の第1バンク、第2バンクの記憶領域A14,B14に交互に書き込むと共に、読出し制御部(ハードマクロ)91<sub>3</sub>は書き込みと並行して第2バンク、第1バンクの記憶領域B14,A14より交互に前サイク

ルで書き込まれている10ms分の復号データを読み出してデータセレクト部59に入力する。すなわち、図中BFRで示すように、記憶領域A14,B14に復号データa,b,c,d,...を交互に書き込むと共に、記憶領域B14への復号データbの書き込みと記憶領域A14からの復号データaの読出しを並行して行い、記憶領域A14への復号データcの書き込みと記憶領域B14からの復号データbの読出しを並行して行い、...以下同様の書き込み/読出し制御を行う。

【0043】・20ms用受信バッファ(図14)

プロセッサ60はタイミング信号発生部70から入力する20msタイミング信号に基づいて符号化時間長20ms用の受信バッファ部75<sub>2</sub>にバンク切替信号BCG2を入力する。バンク切替信号BCG2により、送信バッファ部75<sub>2</sub>の書き込み制御部(ハードマクロ)92<sub>1</sub>はデコード処理部74<sub>2</sub>から入力する時間長20msの復号データ列a(a1,a2),b(b1,b2),c(c1,c2),d(d1,d2),...を送信バッファ92<sub>2</sub>の第1バンク、第2バンクの記憶領域A13~A23,B23に書き込むと共に、読出し制御部(ハードマクロ)92<sub>3</sub>は書き込みと並行して第2バンク、第1バンクの記憶領域B23,A13~A23より前サイクルで書き込まれている20ms分の復号データを読み出してデータセレクト部59に入力する。

【0044】すなわち、図中BFRで示すように、(1)時間長20ms(=2×10ms)の復号データa1~a2を第1バンクの第1~第2記憶領域A13~A23にバースト的に高速に書き込み、書き込み後、第1バンクの第1記憶領域A13より時間長10msの復号データa1を低速で読出す。ついで、(2)第1バンクの第2記憶領域A23より時間長10msの復号データa2の読出しと並行して次の時間長20msの復号データb1~b2を第1バンクの第1記憶領域A13と第2バンクの記憶領域B23にバースト的に高速で書き込み、書き込み後、第1バンクの第1記憶領域A13より時間長10msの復号データb1を低速で読出す。ついで、(3)第2バンクの記憶領域B23より時間長10msの復号データb2の読出しと並行して次の時間長20msの復号データc1~c2を第1バンクの第1~第2記憶領域A13~A23にバースト的に高速に書き込み、書き込み後、第1バンクの第1記憶領域A13より時間長10msの復号データc1を低速で読出す。以後、前記(2),(3)の書き込み、読出し処理を繰り返して復号データを第1、第2バンクに書き込むと共に読出しを行う。

【0045】・40ms用受信バッファ(図15)

プロセッサ60はタイミング信号発生部70から入力する40msタイミング信号に基づいて符号化時間長40ms用の受信バッファ部75<sub>3</sub>にバンク切替信号BCG3を入力する。バンク切替信号BCG3により、送信バッファ部75<sub>3</sub>の書き込み制御部(ハードマクロ)93<sub>1</sub>はデコード処理部74<sub>3</sub>から入力する時間長40msの復号データ列a(a1,a2,a3,a4),b(b1,b2,b3,b4),c(c1,c2,c3,c4),...を送信バッファ93<sub>2</sub>の第1バンク、第2バンクの記憶領域A12~

A42, B42に書き込むと共に、読出し制御部(ハードマクロ) 9 3<sub>3</sub>は書き込みと並行して第2バンク、第1バンクの記憶領域B42, A12~A42より前サイクルで書き込まれている40ms分の復号データを読出してデータセレクト部5 9に入力する。

【0046】すなわち、図中BFRで示すように、(1) 時間長40ms(=4×10ms)の復号データa1~a4を第1バンクの第1~第4記憶領域A12~A42にバースト的に高速に書き込み、書き込み後、第1バンクの第1~第3記憶領域A12~A32より時間長10msづつ復号データa1~a3を低速で読出す。ついで、(2) 第1バンクの第4記憶領域A42より時間長10msの最後の復号データa4の読出しと並行して次の時間長40msの復号データb1~b4を第1バンクの第1~第3記憶領域A12~A32と第2バンクの記憶領域B42にバースト的に高速で書き込み、書き込み後、第1バンクの第1~第3記憶領域A12~A32より時間長10msづつ復号データb1~b3を低速で読出す。ついで、(3) 第2バンクの記憶領域B42より時間長10msの最後の復号データb4の読出しと並行して次の時間長40msの復号データc1~c4を第1バンクの第1~第4記憶領域A12~A42に高速に書き込み、書き込み後、第1バンクの第1~第3記憶領域A12~A32より時間長10msづつ復号データc1~c3を低速で読出す。以後、前記(2), (3)の書き込み、読出し処理を繰り返して復号データを第1、第2バンクに書き込むと共に読出しを行う。

【0047】・80ms用受信バッファ(図16)  
プロセッサ60はタイミング信号発生部70から入力する80msタイミング信号に基づいて符号化時間長80ms用の受信バッファ部75<sub>4</sub>にバンク切替信号BCG4を入力する。バンク切替信号BCG4により、送信バッファ部75<sub>4</sub>の書き込み制御部(ハードマクロ) 9 4<sub>1</sub>はデコード処理部74<sub>4</sub>から入力する時間長80msの復号データ列a(a1, a2, a3, a4, a5, a6, a7, a8), b(b1, b2, b3, b4, b5, b6, b7, b8), c(c1, c2, c3, c4, c5, c6, c7, c8), ...を送信バッファ9 4<sub>2</sub>の第1バンク、第2バンクの記憶領域A11~A81, B81に書き込むと共に、読出し制御部(ハードマクロ) 9 4<sub>3</sub>は書き込みと並行して第2バンク、第1バンクの記憶領域B81, A11~A81より前サイクルで書き込まれている80ms分の復号データを読出してデータセレクト部5 9に入力する。

【0048】すなわち、図中BFRで示すように、(1) 時間長80ms(=8×10ms)の復号データa1~a8を第1バンクの第1~第8記憶領域A11~A81にバースト的に高速に書き込み、書き込み後、第1バンクの第1~第7記憶領域A11~A71より時間長10msづつ復号データa1~a7を低速で読出す。ついで、(2) 第1バンクの第8記憶領域A81より時間長10msの最後の復号データa8の読出しと並行して次の時間長80msの復号データb1~b8を第1バンクの第1~第7記憶領域A11~A71と第2バンクの記憶領域B81にバースト的に高速で書き込み、書き込み後、第1バンクの第1~第7記憶領域A11~A71より時間長10msづつ復号デ

ータb1~b7を低速で読出す。ついで、(3) 第2バンクの記憶領域B81より時間長10msの最後の復号データb8の読出しと並行して次の時間長80msの復号データc1~c8を第1バンクの第1~第8記憶領域A11~A81に高速に書き込み、書き込み後、第1バンクの第1~第7記憶領域A11~A71より時間長10msづつ復号データc1~c7を低速で読出す。以後、前記(2), (3)の書き込み、読出し処理を繰り返して送信データを第1、第2バンクに書き込むと共に読出しを行う。以上、本発明を実施例により説明したが、本発明は請求の範囲に記載した本発明の主旨に従い種々の変形が可能であり、本発明はこれらを排除するものではない。

【0049】

【発明の効果】以上本発明によれば、第2バンクとして各サービスにつき基準時間長Tのデータを記憶する小容量のメモリを設けるだけで良いため、全体のメモリ量を削減できる。また、メモリに符号化時間長の異なるデータが混在しないようにできるため、アドレス管理、バンク切替を簡単に行うことができる。また、本発明によれば、第1バンクとしての第1記憶部に、サービス毎に最大符号化時間長分の送信データを保存することにより、比較的少ないメモリ量で任意の符号化時間長のサービスを接続することができる。

【図面の簡単な説明】

【図1】送信バッファのメモリ構成図である。

【図2】タイミングチャート(送信側)である。

【図3】送信バッファの別のメモリ構成図である。

【図4】受信バッファのメモリ構成図である。

【図5】タイミングチャート(受信側)である。

【図6】本発明の移動局の構成図である。

【図7】多重方法説明図である。

【図8】分離方法の説明図である。

【図9】10ms用送信バッファ部のバンク切り替え操作である。

【図10】20ms用送信バッファ部のバンク切り替え操作である。

【図11】40ms用送信バッファ部のバンク切り替え操作である。

【図12】80ms用送信バッファ部のバンク切り替え操作である。

【図13】10ms用受信バッファ部のバンク切り替え操作である。

【図14】20ms用受信バッファ部のバンク切り替え操作である。

【図15】40ms用受信バッファ部のバンク切り替え操作である。

【図16】80ms用受信バッファ部のバンク切り替え操作である。

【図17】従来の移動局装置の構成図である。

【図18】上りリンクのフレームフォーマットである。

- 【図19】下りリンクのフレームフォーマットである。  
 【図20】移動無線機の640bit毎の処理例である。  
 【図21】送信バッファを用いた処理速度変換である。  
 【図22】バンク切り替えである。  
 【図23】タイムインターバル毎のバンクアクセスである。  
 【図24】従来の送信バッファの共有である。  
 【図25】TEからのデータを40ms分多重化する例である。  
 【図26】サービス毎に送信バッファを設ける例である。  
 【図27】書き込み側と読み出し側のアドレス指定である。  
 【図28】サービスの追加／削除である。  
 【図29】タイムインターバル毎のバンク切り替えである。

る。

【図30】サービス毎に時間軸の最大である80ms分のメモリを設けた構成(1面分)である。

【図31】10ms毎に640bit分を80ms,40ms,20ms,10ms毎に設けるメモリ構成図である。

【符号の説明】

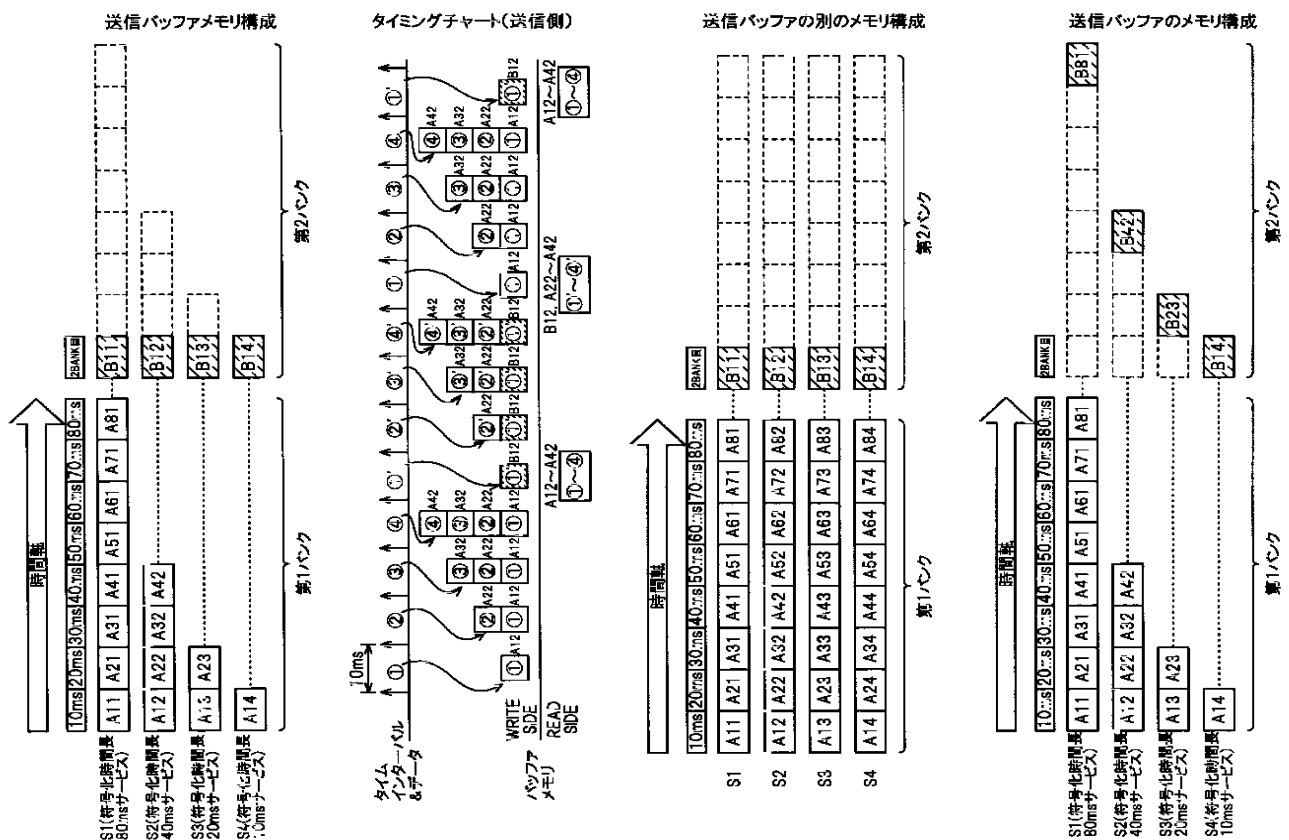
- 51～54・・・端末装置  
 59・・・データセレクト部  
 61<sub>1</sub>～61<sub>4</sub>・・・送信バッファ部  
 62<sub>1</sub>～62<sub>4</sub>・・・エンコード処理部  
 63・・・多重部  
 73・・・分離部  
 74<sub>1</sub>～74<sub>4</sub>・・・デコード処理部  
 75<sub>1</sub>～75<sub>4</sub>・・・受信バッファ部

【図1】

【図2】

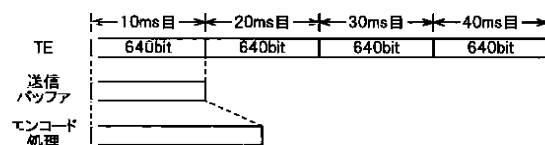
【図3】

【図4】



【図20】

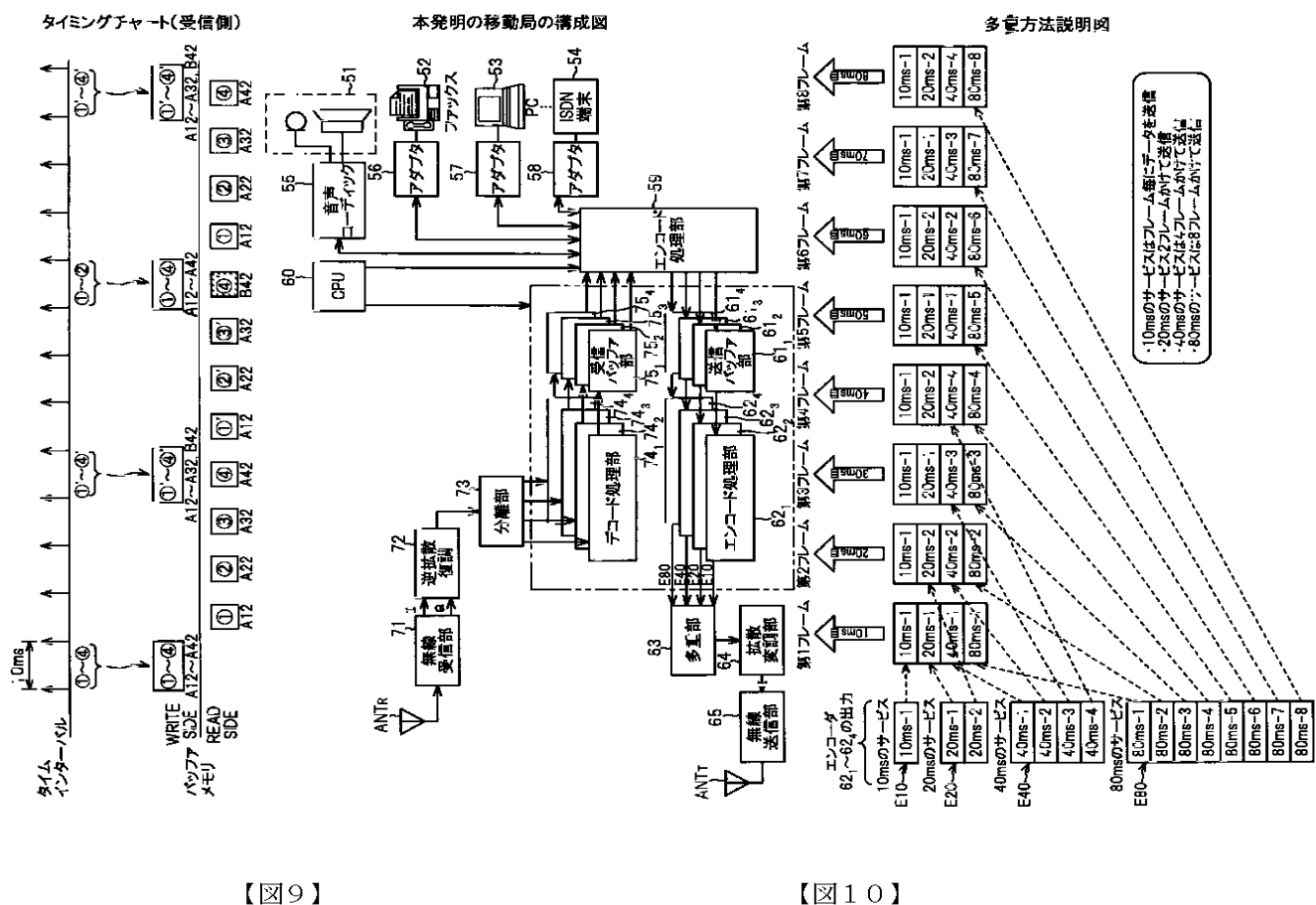
移動無線機の640bit毎の処理例



【図5】

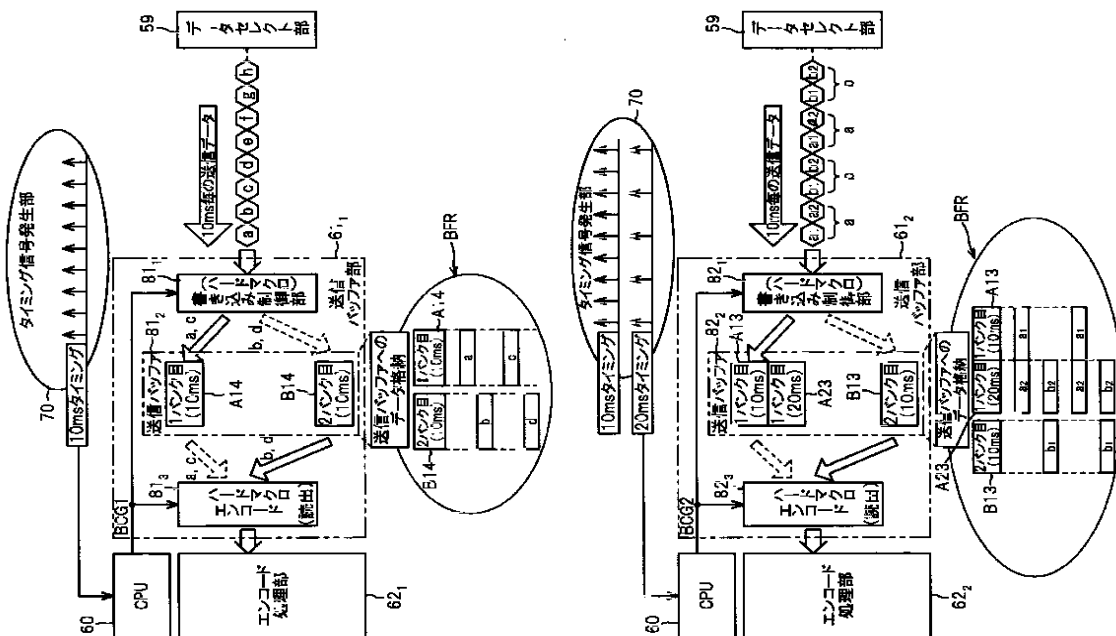
【図6】

【图7】



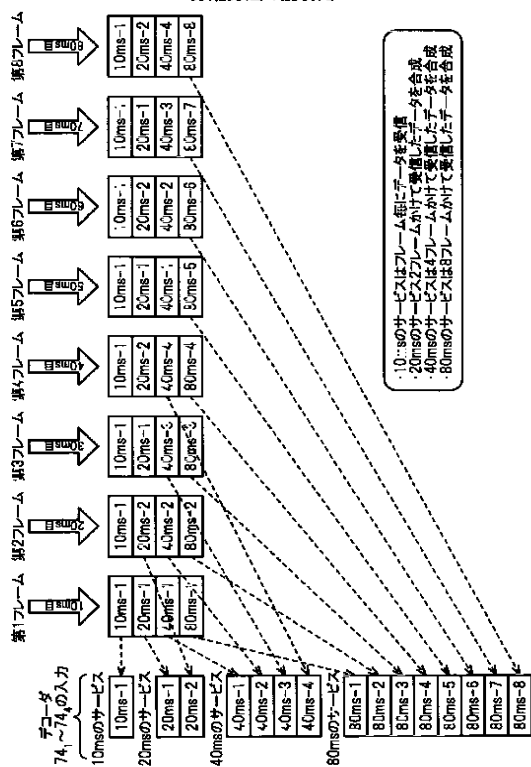
【图9】

【図 10】



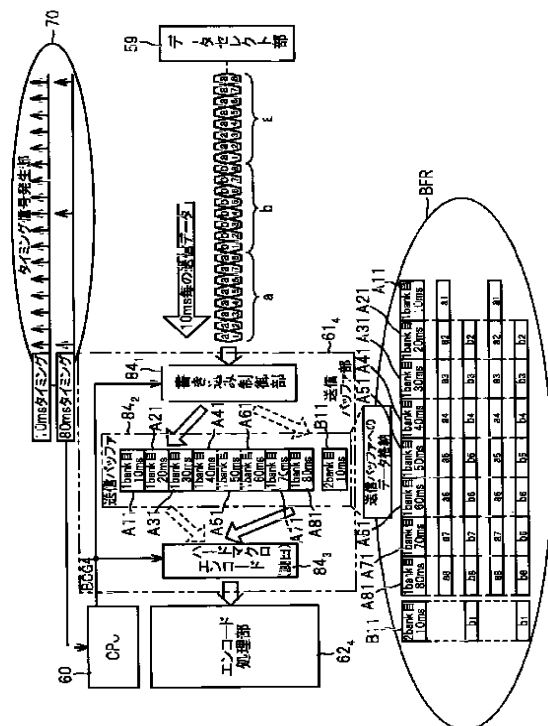
【图8】

### 分離方法の説明図



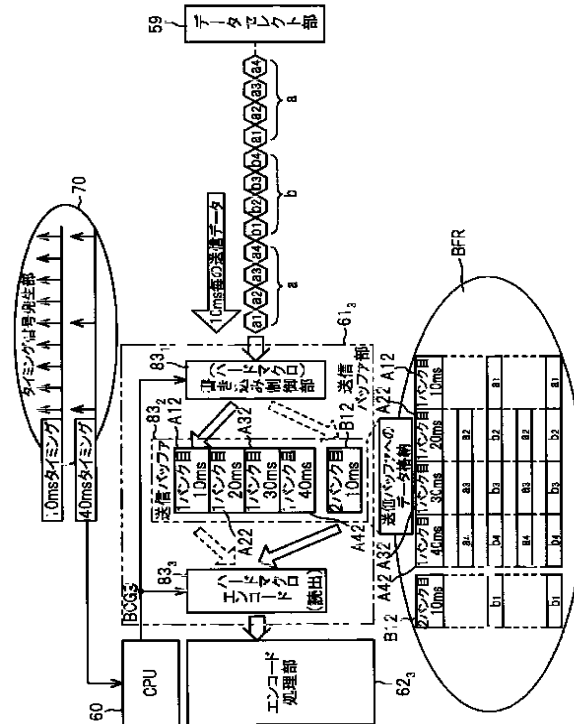
【图 12】

### 80ms用送信バッファ部のパンク切り替え操作



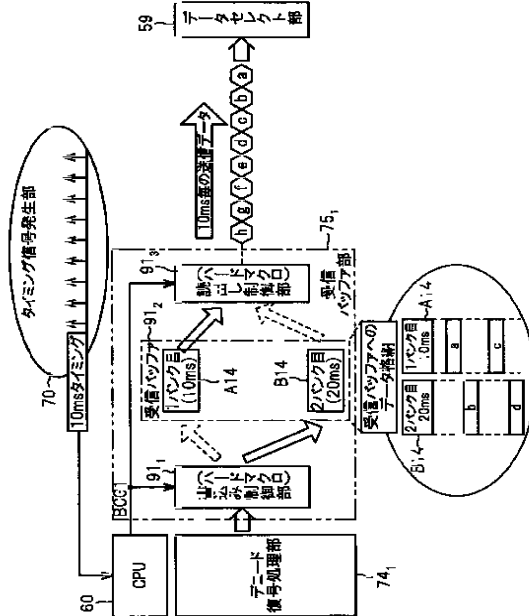
【图 1-1】

#### 40ms用送信バッファ部のバンク切り替え操作



【图 13】

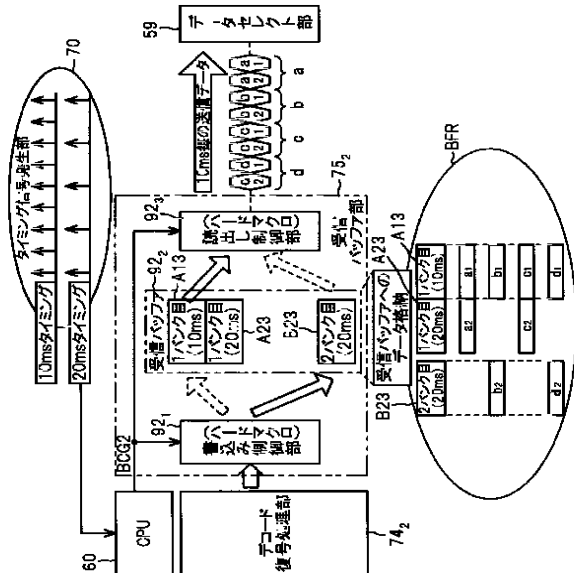
### 10ms用受信バッファ部のバンク切り替え操作



【图 14】

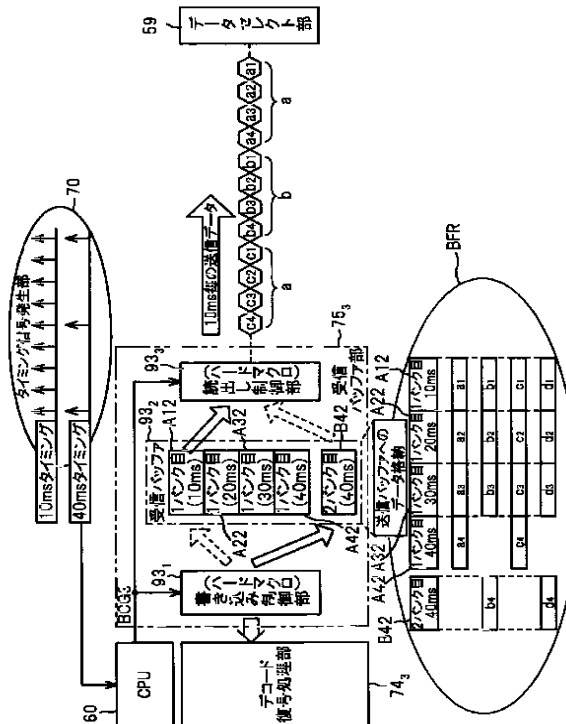
【图 15】

### 20ms用受信バッファ部のバンク切り替え操作

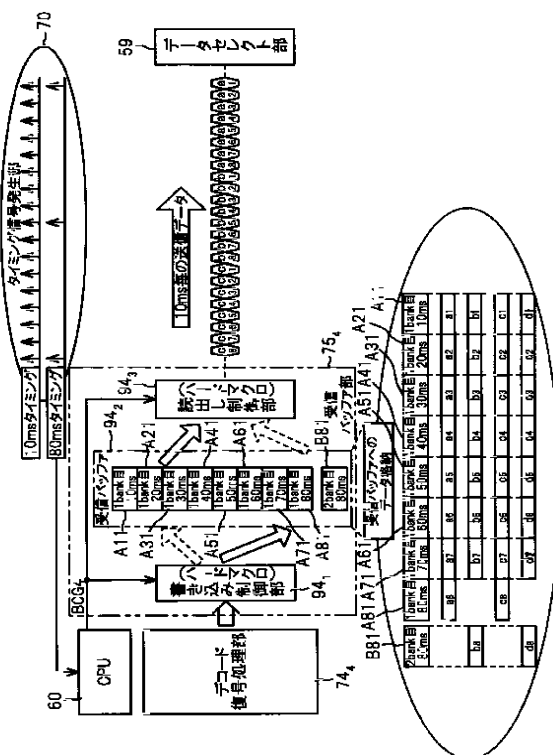


【図 16】

#### 40ms用受信バッファ部のバンク切り替え操作

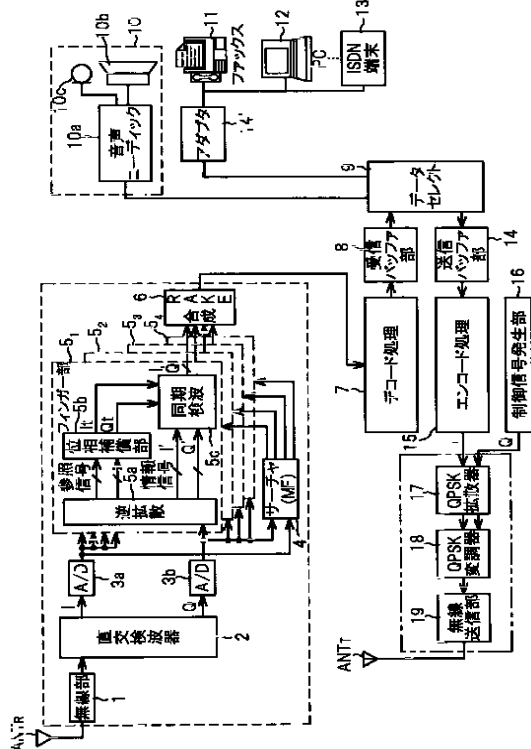


### 80ms用受信バッファ部のバンク切り替え操作



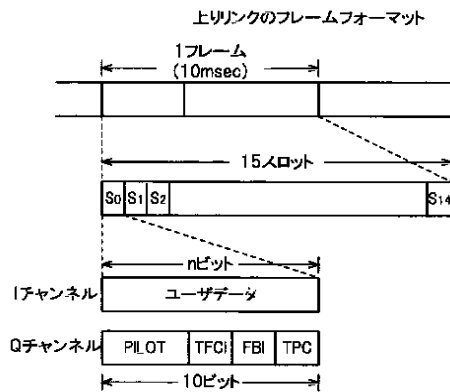
【图 17】

### 従来の移動局装置の構成

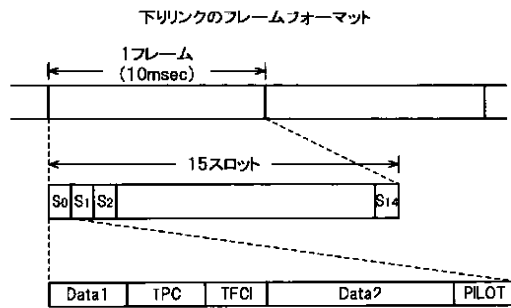




【例 18】

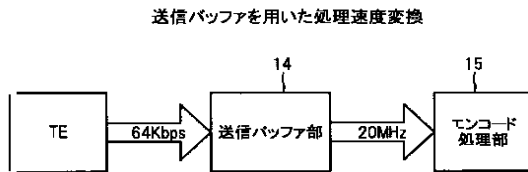


【図 19】



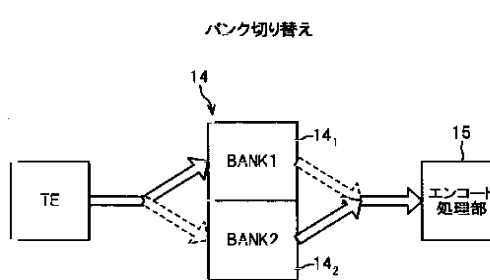
【图 23】

【図 2 1】

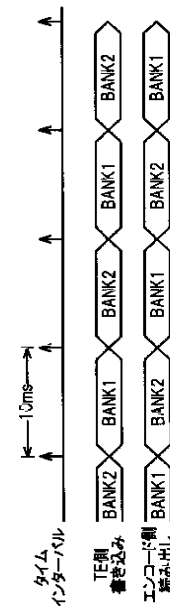


【図24】

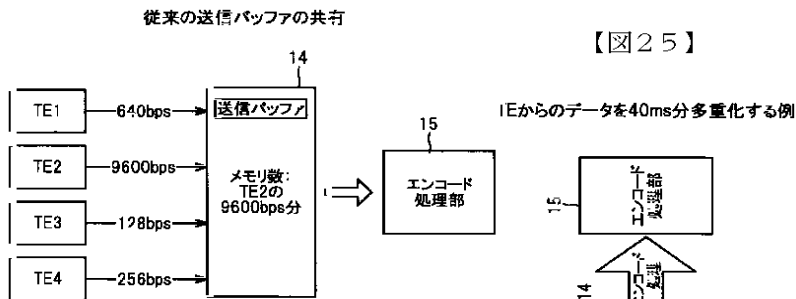
【图 22】



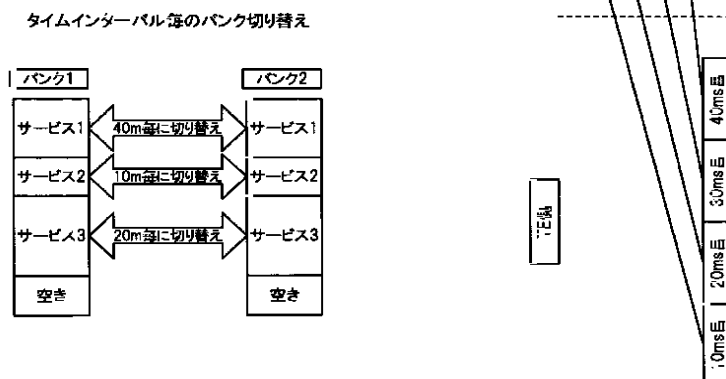
### タイムインターバル毎のバンクアクセス



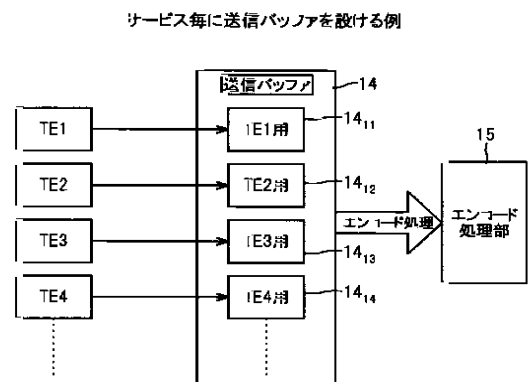
【図 25】



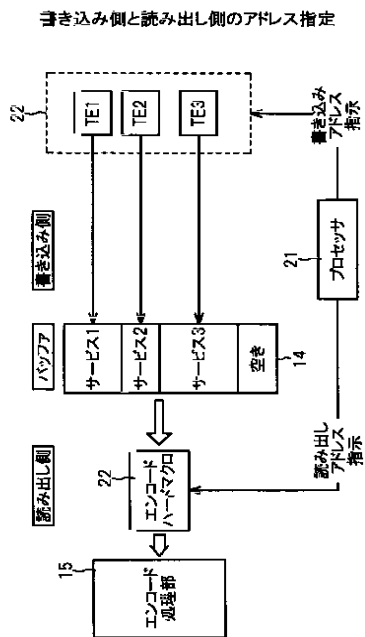
【图29】



【図26】

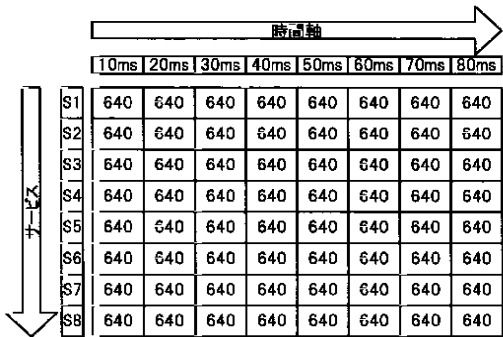


【図27】

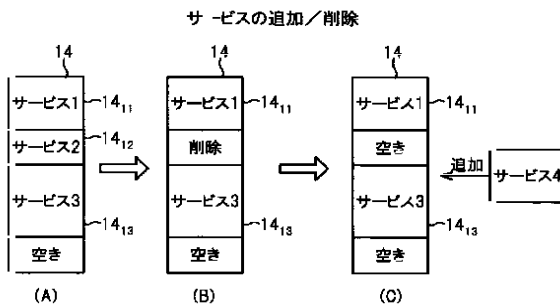


【図30】

サービス毎に時間軸の最大である80ms分のメモリを設けた構成(1画分)



【図28】



【図31】

10ms毎に640bit分を80ms、40ms、20ms、10ms毎に設けるメモリ構成

